

SAE AADL

- Beschreibung von HW-/SW-Architekturen
- Komponenten, Ports und Konnektoren
- Mode Transition Diagramme
- Spezifikation von Schedulingsequenzen
- Systemspezifikationen
- Attributierung mittels QoS-Parameter
- Rudimentärer Typisierungsmechanismus

SW-Architektur-Konzepte:



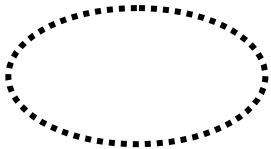
- **Prozesse** Ausführbare Einheit mit Adressraum



- **Threads** Unabhängige, interagierende Anweisungssequenzen

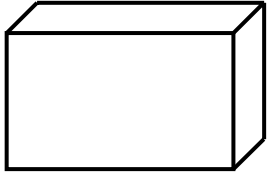


- **Thread Group** Gruppen von Threads

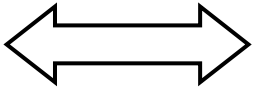


- **Sub-programe** Extern referenzierter Code

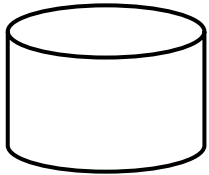
HW-Architektur-Konzepte:



- **Processor** Logische Prozessorabstraktion mit Scheduling



- **Bus** Abstraktion des Kommunikationsmediums



- **Memory** Speicherabstraktion

ModeTransitionen und Ports



Mode Transitions

- Modes
- Transitionen

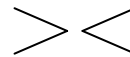
Beschreiben den Zustandsraum verschiedener Komponenten: Threads, Prozesse, Prozessoren, Memory ,...

Schnittstellenspezifikation

- Ports



- DataPorts



- EventPorts



- Data/EventPorts

<<data>>

- Dataflow

<<event>>

- Eventflow

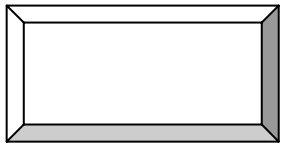
<<eventdata>>

- EventData

Systemspezifikationen



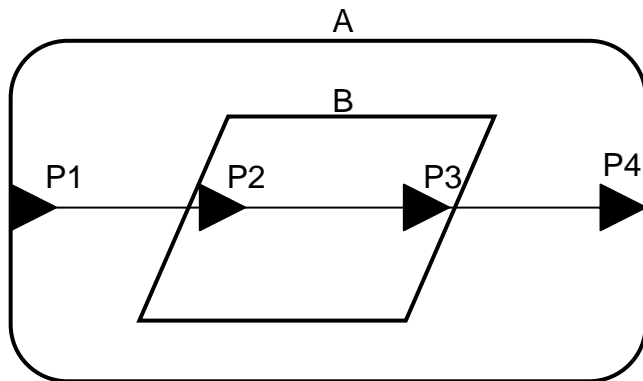
- **System** Komposition von Software und Hardware



- **Device** Elemente der Umgebung:
 - Weitere Systeme
 - Nutzer
 - Aktoren
 - Sensoren

Typisierung / Properties

Typisierung



- Typspezifikation
 - Komponente, Ports
- Implementierung
 - Konnektoren, innere Elemente

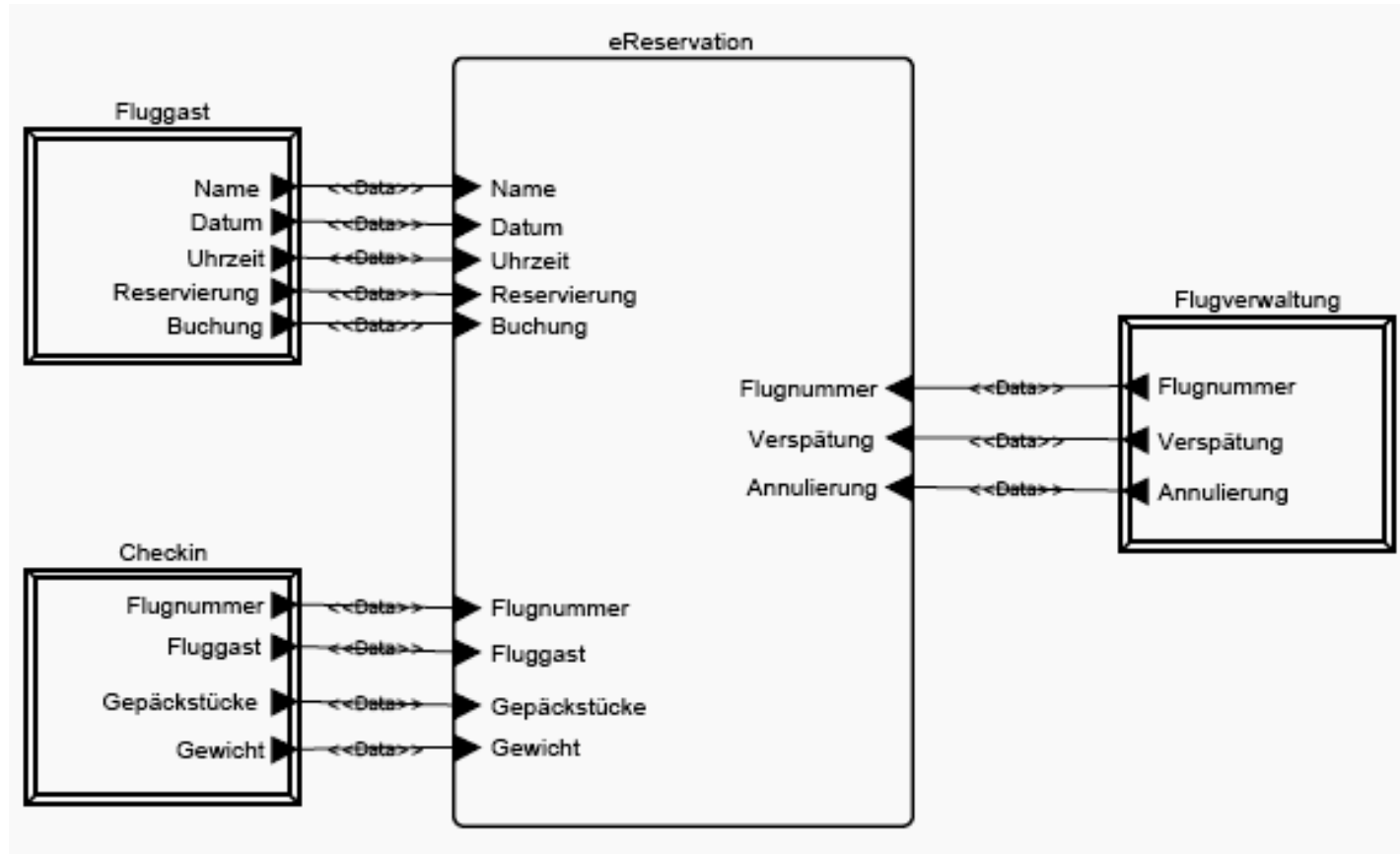
Properties

- Frei definierbar

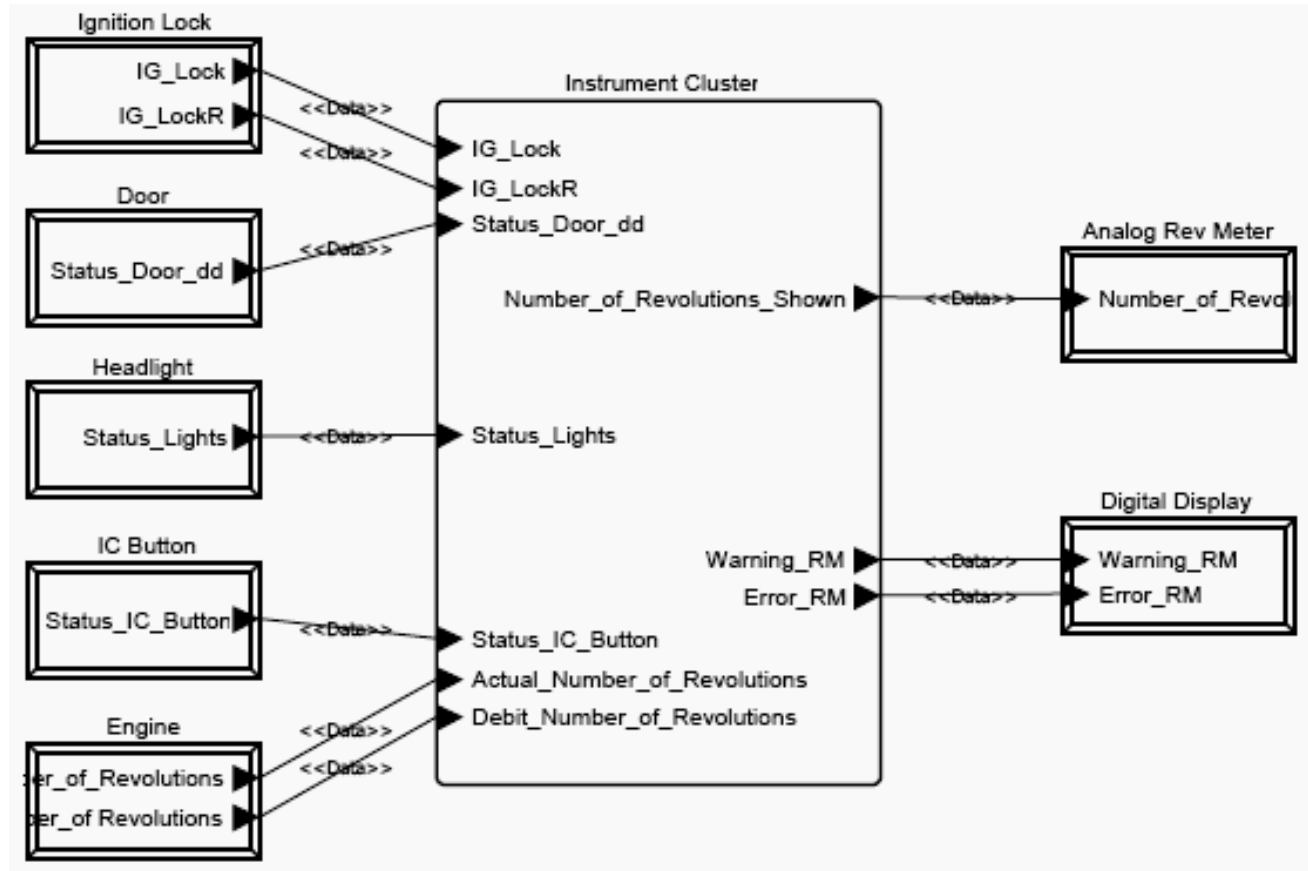
Beispiel:

- **thread implementation**
algorithm.impl
- **properties**
- Deadline => **value** (Period);
- Period => **value** (timing::HiRate);
- **end** algorithm.impl;
- --
- **property set** timing is
- HiRate: **constant** Time => 5 ms;
- **end** timing;

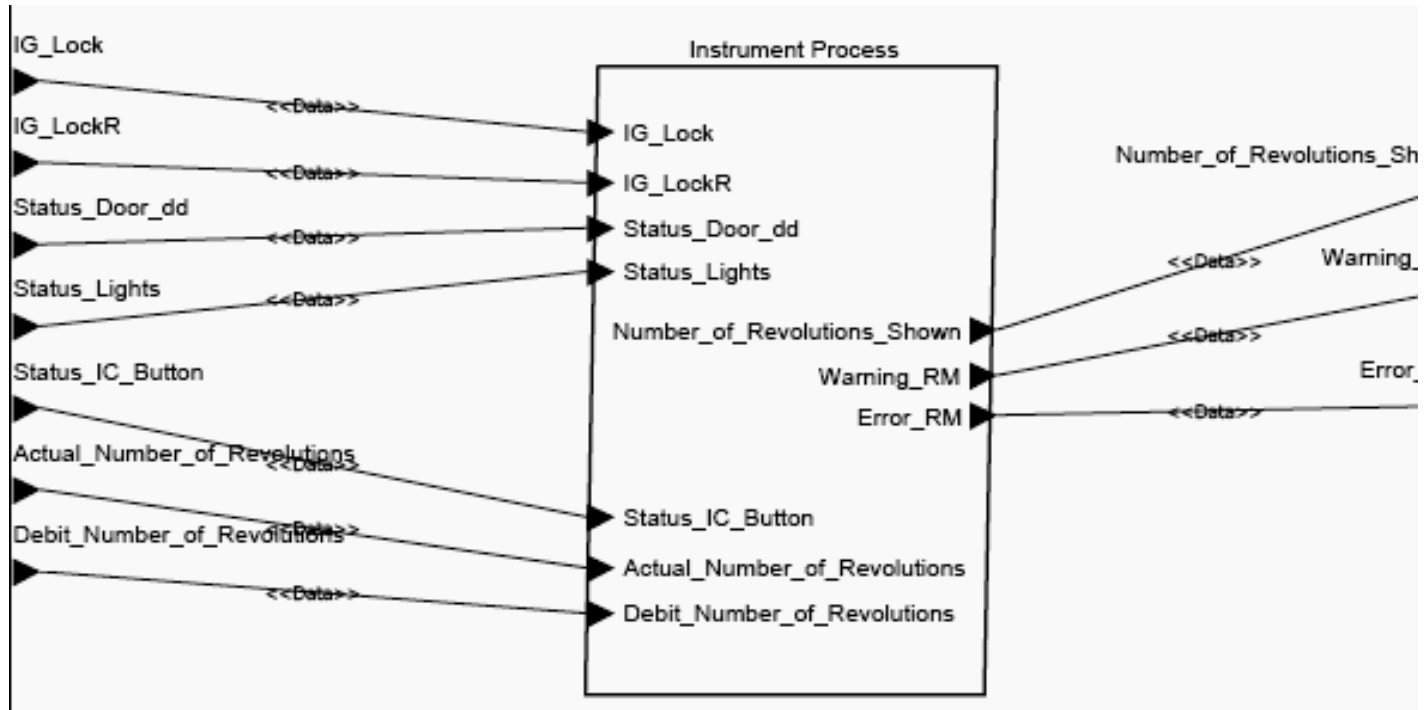
Aufgabe 1c: Kontextdiagramm



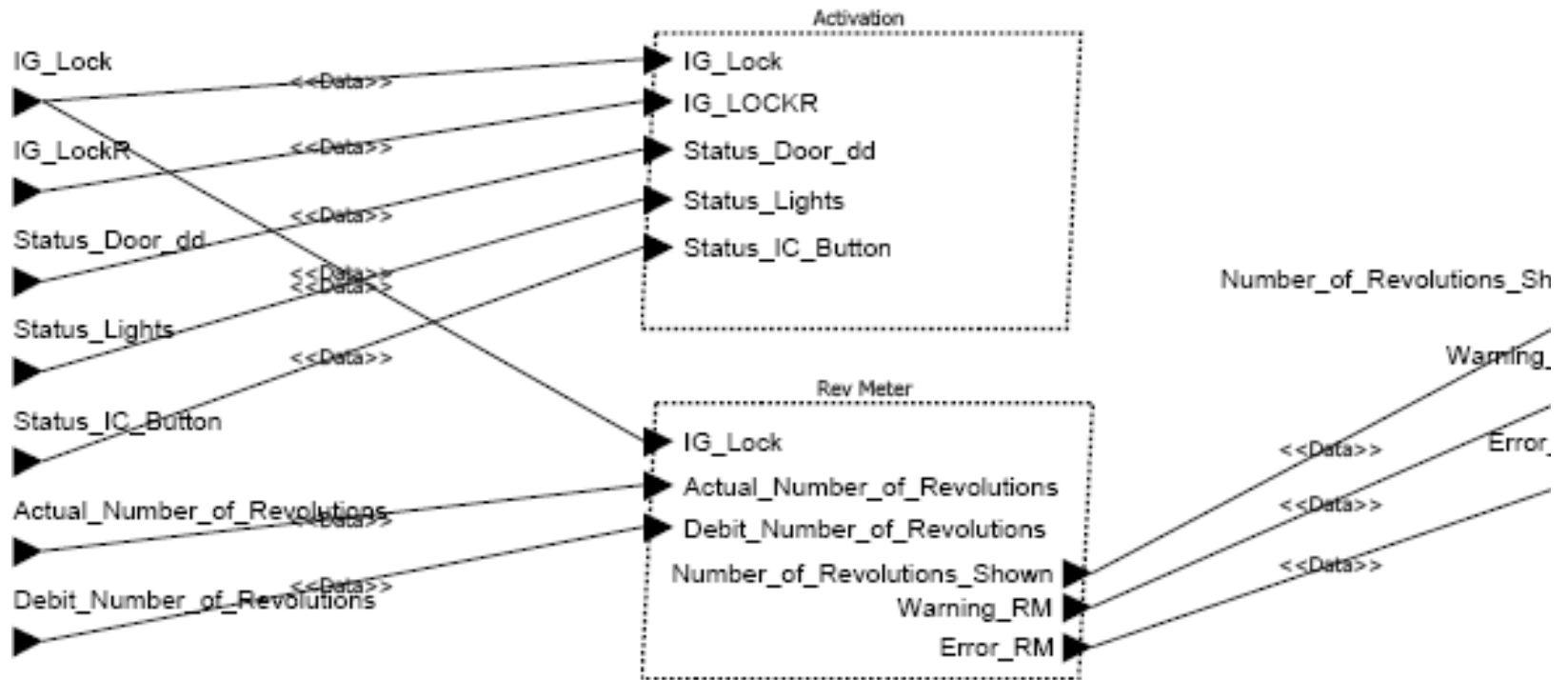
Aufgabe 2a: Kontextdiagramm



Aufgabe 2b: SW-Architektur: Prozesse



Aufgabe 2b: SW-Architektur: Threads



Aufgabe 2c: (SW-)/HW-Architektur

